

Attorney Docket # 5367-90

Express Mail #EV410260275US
Patent

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Christine HOESS et al.

Serial No.: n/a

Filed: concurrently

For: Method for Fabricating at least one Mesa
or Ridge Structure or at least one
Electrically Pumped Region in a Layer or
Layer Sequence

LETTER TRANSMITTING PRIORITY DOCUMENT

Mail Stop **Patent Application**

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

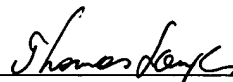
SIR:

In order to complete the claim to priority in the above-identified application under 35 U.S.C. §119, enclosed herewith is the certified documentation as follows:

Application No. **103 12 214.1**, filed on March 19, 2003, in Germany, upon which the priority claim is based.

Respectfully submitted,
COHEN, PONTANI, LIEBERMAN & PAVANE

By



Thomas Langer

Reg. No. 27,264

551 Fifth Avenue, Suite 1210

New York, New York 10176

(212) 687-2770

Dated: March 19, 2004



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

103 12 214.1

Anmeldetag:

19. März 2003

Anmelder/Inhaber:

Osram Opto Semiconductors GmbH,
93049 Regensburg/DE

Bezeichnung:

Verfahren zum Herstellen von mindestens einer
Mesa- oder Stegstruktur oder von mindestens
einem elektrisch gepumpten Bereich in einer
Schicht oder Schichtenfolge

IPC:

H 01 S, H 01 L

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 1. März 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Brosig

Beschreibung

Verfahren zum Herstellen von mindestens einer Mesa- oder
Stegstruktur oder von mindestens einem elektrisch gepumpten
5 Bereich in einer Schicht oder Schichtenfolge

Die Erfindung bezieht sich auf ein Verfahren zum Herstellen
von mindestens einer Mesa- oder Stegstruktur oder von minde-
stens einem elektrisch gepumpten Bereich in einer Schicht
10 oder Schichtenfolge.

Sie bezieht sich insbesondere auf ein Verfahren zum Herstel-
len von mindestens einer Mesa- oder Stegstruktur auf oder in
einer Halbleiterschichtenfolge auf der Basis von Nitrid-III-
15 V-Verbindungshalbleitermaterial für optoelektronische Halb-
leiterchips.

Weiterhin bezieht sich die Erfindung insbesondere auf ein
Verfahren zum Herstellen von Laserdioden auf der Basis von
20 Nitrid-III-V-Verbindungshalbleitermaterial mit
Wellenleiterbreiten von kleiner oder gleich $2\text{ }\mu\text{m}$.

Bekannte Verfahren zum Herstellen von indexgeführten und
gewinngeführten Laserdiodenchips sind beispielsweise in DE
25 101 47 791 beschrieben. Mit der dort vorgeschlagenen und zur
Verfügung stehenden Lithographietechnik (Kontaktbelichtung)
können Laserdioden mit Wellenleiterbreiten $< 2\text{ }\mu\text{m}$ nur unter
hohem technischen Aufwand gewonnen werden. Bei der Öffnung
eines $0,5\text{ }\mu\text{m}$ breiten Fensters in der SiO_2 -Passivierung treten
30 bei geringen Wellenleiterbreiten vermehrt Nebenschlüsse auf,
die durch Justagetoleranzen ($0,5\text{ }\mu\text{m}$) und run-out-Effekte (bis
zu $2\text{ }\mu\text{m}$ Versatz über $2''$) zustande kommen.

Bei dem beispielsweise aus Kuramoto et. al., Jpn. J. Appl.
35 Phys., Vol.40 (2001, pp. L925-927, Part 2, No. 9A/B; Kimura
et. al., Mat. Res. Soc. Symp. Proc. Vol. 693 (2002) und
Kuramoto et. al., phys. stat. sol. (a) 192, No. 2, 329-334

(2002) bekannten RiS-Verfahren (Ridge by Selective regrowth) wird die Epitaxie nach dem Wachstum eines oberen Wellenleiters unterbrochen. In einer anschließend darüber abgeschiedenen dielektrischen Zwischenschicht (z.B. SiO₂) werden streifenförmige Fenster geöffnet (Strukturierung mittels Photolithographie und Ätzen). In den Fensterstreifen wachsen im zweiten Epitaxieschritt die Mantelschicht des Wellenleiters und die Kontaktschicht auf. Bei diesem Verfahren sind mehrere Epitaxieschritte notwendig. Eine Variation der Indexführung, die bei einem Ridge Waveguide Laser durch Änderung der Ätztiefe erreicht werden kann, ist schwierig.

Ein dem oben beschriebenen RiS-Verfahren ähnliches Verfahren zur Herstellung von "InGa_N Inner Stripe Laser Diodes" ist in Nunoue et.al., Jpn. J. Appl. Phys., Vol. 37 (1998), pp 1470-1473, Part 1, No. 3B beschrieben.

Unter die Gruppe von optoelektronischen Chips auf Basis von Nitrid-III-V-Verbindungshalbleitermaterial fallen vorliegend insbesondere solche Chips, bei denen eine epitaktisch hergestellte Halbleiterschicht, die in der Regel eine Schichtfolge aus unterschiedlichen Einzelschichten umfasst, mindestens eine Einzelschicht enthält, die ein Material aus dem Nitrid-III-V-Verbindungshalbleitermaterial-System In_xAl_yGa_{1-x-y}N mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ aufweist. Die Halbleiterschicht kann beispielsweise einen herkömmlichen pn-Übergang, eine Doppelheterostruktur, eine Einfach-Quantentopfstruktur (SQW-Struktur) oder eine Mehrfach-Quantentopfstruktur (MQW-Struktur) aufweisen. Solche Schichtenfolgen sind dem Fachmann grundsätzlich bekannt und werden von daher an dieser Stelle nicht näher erläutert. Sie sind beispielsweise in Nunoue et.al., Jpn. J. Appl. Phys., Vol. 37 (1998), pp 1470-1473, Part 1, No. 3B; Kuramoto et. al., Jpn. J. Appl. Phys., Vol. 40 (2001, pp. L925-927, Part 2, No. 9A/B; Kimura et. al., Mat. Res. Soc. Symp. Proc. Vol. 693 (2002); Kuramoto et. al., phys. stat. sol. (a) 192, No. 2, 329-334 (2002); Tojyo

et.al., Jpn. J. Appl. Phys. 41, 1829 (2002) und Bulman et al., in Properties, Processing and Applications of Gallium Nitride and Related Semiconductors, 616, (1998) beschrieben, deren Offenbarungsgehalt insofern hiermit durch Rückbezug
5 aufgenommen wird.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zum Herstellen von mindestens einer Mesa- oder Stegstruktur oder von mindestens einem elektrisch gepumpten Bereich in einer
10 Schicht oder Schichtenfolge zur Verfügung zu stellen, das selbstjustierend ist und mit dem sich insbesondere Strukturbreiten von kleiner oder gleich 2 μm auf technisch vereinfachte Weise herstellen lassen.

15 Diese Aufgabe wird mit einem Verfahren gemäß dem Patentanspruch 1 oder 9 gelöst. Bevorzugte Ausführungsformen und Weiterbildungen des Verfahrens sind in den Unteransprüchen 2 bis 8 und 10 bis 16 angegeben.

20 Wenn im Folgenden von Opferschicht, Deckschicht und Maskenschicht die Rede ist, so kann es sich hierbei um eine einzelne Schicht aber auch um eine Folge von zwei oder mehreren Schichten handeln, die die Funktion der Opferschicht, der Deckschicht bzw. der Maskenschicht erfüllen.

25 Bei einem besonders bevorzugten Verfahren wird über einer Schicht oder Schichtenfolge, die ausschließlich aus Halbleitermaterialschichten oder Halbleitermaterialschichten und einer oder mehreren darauf angeordneten Metallschicht(en) aufweisen kann, eine Opferschicht angeordnet, über der wiederum eine Deckschicht und eine Maskenschicht erzeugt wird. Die Maskenschichtfolge kann eine erste Maskenschicht und eine
30 zweite Maskenschicht aufweisen. Die Maskenschicht oder Maskenschichtfolge wird derart strukturiert, dass sie die in der
35 Schicht oder Schichtenfolge gewünschten Mesa- oder Stegabmessungen definiert. Nachfolgend wird die Deckschicht, die Opferschicht und die Schicht oder Schichtenfolge teilweise ent-

fernt, insbesondere durch anisotropes Ätzen, derart, dass in der Schicht oder Schichtenfolge die gewünschte Mesa- oder Stegstruktur ausgebildet wird. Nach diesem Schritt wird die Opferschicht von deren freigelegten Seitenflächen her zum

5 Teil selektiv entfernt, derart, dass ein im Vergleich zur Deckschicht schmalerer Steg aus Opferschichtmaterial zwischen der Schicht oder Schichtfolge und der Deckschicht übrigbleibt. Zumindest auf die Flanken der bei den vorangehenden Verfahrensschritten erzeugten Struktur wird die Beschichtung

10 aufgebracht, und zwar in einer Weise, dass die Seitenflächen der zwischen Schicht oder Schichtfolge und Deckschicht verbliebenen Opferschicht nicht vollständig von dem Beschichtungsmaterial bedeckt werden, so dass in einem nachgeordneten Verfahrensschritt die Deckschicht inklusive Maskenschicht

15 durch zumindest teilweises Entfernen der verbliebenen Opferschicht abgehoben werden können.

Die Deckschicht kann hierbei die Funktion einer Haftschicht zwischen Maskenschicht und Opferschicht oder die Funktion einer Ätzstoppschicht für das naßchemische Ätzen der Opferschicht oder beide Funktionen gemeinsam haben. Falls die Maskenschicht weder eine Haftschicht noch eine Ätzstoppschicht benötigt, kann die Deckschicht weggelassen werden.

25 Die Opferschicht besteht im Unterschied zu einer klassischen Lift-Off-Technik besonders bevorzugt aus einem anderen Material als Photolack. Mögliche Materialien für die Opferschicht sind Metalle (wie Gold, Silber, Aluminium, Palladium, Titan), Dielektrika (wie Aluminiumoxid, Siliziumoxid, Siliziumnitrid), Polymerschichten (wie Polyimid), epitaktisch gewachsene Schichten (wie InN, AlN, GaP, GaAs, INP) oder geeignete Kombinationen aus diesen Materialien.

35 Zur Erzeugung eines Fensters in der Beschichtung zur Schicht oder Schichtenfolge hin, beispielsweise um nachfolgend im Fenster eine elektrische Anschlußmetallisierung auf die Schicht oder Schichtenfolge aufzubringen, wird die Opfer-

schicht vorzugsweise vollständig von der Schicht oder Schichtenfolge entfernt.

5 Ganz besonders bevorzugt eignet sich das Verfahren zum Herstellen der geometrischen Stegwellenleiterstruktur eines Stegwellenleiter(Ridge-Waveguide)-Laserdiodenchips, insbesondere auf Basis von $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$. Mit dem Verfahren können vorteilhafterweise auf technisch vergleichsweise einfache Weise selbstjustierend

10 Stegwellenleiterstrukturen mit einer Breite von gleich oder weniger als $2 \mu\text{m}$, insbesondere von gleich oder weniger als $1,5 \mu\text{m}$ realisiert.

Bei einer vorteilhaften Ausführungsform werden mittels Trockenätzen die Laserfacetten erzeugt und enthält die Beschichtung ein verspiegelndes oder entspiegelndes Schichtsystem.

15

Weiterhin eignet sich das dem Verfahren zugrundeliegende Prinzip in vorteilhafter Weise zum Herstellen von gewinngeführten Laserdiodenchips, beispielsweise Oxidstreifen-Lasern, insbesondere auf der Basis von $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$, bei dem die Breite des elektrisch gepumpten Bereichs des Laserdiodenchips mittels des Verfahrens definiert wird. Besonders vorteilhaft ist das Verfahren für

20 die Herstellung von gewinngeführten Oxidstreifen-Laserdiodenchips mit einer Breite von weniger als $2 \mu\text{m}$, insbesondere von gleich oder weniger als $1,5 \mu\text{m}$. Das Verfahren ist aber grundsätzlich auch bei anderen Strukturen einsetzbar, wo die Breite eines mit elektrischem Strom beaufschlagten Bereiches genau eingestellt werden soll.

25

30

Das Verfahren eignet sich in vorteilhafter Weise zum Herstellen von Leuchtdiodenchips mit beschichteten Seitenflächen der strahlungserzeugenden Schichtfolge. Die geometrische Struktur

35 der strahlungserzeugenden Schichtfolge und die Beschichtung wird mittels eines Verfahrens gemäß der Erfindung erzeugt. Das Verfahren eignet sich insbesondere zur Herstellung von

Leuchtdiodenchips mit einer Kantenlänge von gleich oder weniger als 2 μm , insbesondere von gleich oder weniger als 1,5 μm .

5 Mit dem Verfahren lassen sich vorteilhafterweise selbstjustierend Halbleiterchips, insbesondere Opto-Halbleiterchips (z.B. indexgeführte Laserdioden, LEDs, High Power Laser, Detektoren) mit seitlicher Beschichtung herstellen.

10 Das Verfahren beruht auf dem Einsatz einer sogenannten Opferschicht, die aus einer oder mehreren dielektrischen Schichten (SiO_2 , Al_2O_3 , Si_3N_4 , etc.), metallischen Schichten (Au, Ag, Pd, Al), organischen Polymer-Schichten, epitaktischen Schichten (InN , GaAs, GaP, etc.) oder einer Kombinationen daraus
15 bestehen kann.

Mit dem Verfahren lassen sich eine Reihe verschiedener, grundlegender Ziele zur Verbesserung insbesondere von Opto-halbleiterchips (wie Ridge Waveguide Laser-Chips, High Power
20 Laser-Chips, Trapezlaser-Chips; LED-Chips, etc.) realisieren.

Bei indexgeführten Halbleiterlaserchips mit elektrisch und optisch passivierten Steg-Seitenflanken kann, mittels des Verfahrens unter anderem eine Verringerung der Leistungsaufnahme und Erhöhung der Ausbeute durch definiert schmale Stegbreiten
25 sowie eine Verringerung des Herstellungsaufwands erzielen.

Bei gewinngeführten Halbleiterlaserchips und -arrays mit elektrischer Isolierung aus dielektrischen Schichten lassen
30 sich mittels des Verfahrens unter anderem geringere Strukturbreiten mit verbesserter Reproduzierbarkeit (Ausbeute) und verbesserten Bauteilkenndaten z.B. bei High Power Lasern und Trapezlasern.

35 Bei diversen Halbleiterlaserchips (wie Ridgelaaser, Oxidstreifenlaser, Trapezlaser, High Power Laser, etc) mit trockengeätzen und verspiegelten Laserfacetten können mittels des Ver-

fahrens Strukturen mit einer erhöhten Auskoppelleffizienz erzeugt werden und vereinfachte Herstellungsprozesse durch on-Wafer Verspiegelung erzielt werden.

- 5 Bei diversen Halbleiterlaserchips (Ridgelaser, Oxidstreifenlaser, Trapezlaser, High Power Laser, etc.) mit passivierten oder absorbierend beschichteten Chip-Seitenkanten lassen sich mittels des Verfahrens Strukturen erzeugen, bei denen unerwünschte Ringmoden durch Absorberschichten unterdrückt wird.
- 10 Dies führt vorteilhafterweise zu einer Erhöhung der Bauteileffizienz und zur Verminderung oder Vermeidung von Leckströmen.

- Bei indexgeführten und gewinngeführten Lasern gelingt es mit
- 15 Hilfe der Opferschicht, Halbleiterlaserdioden, mit seitlich passiviertem Stegwellenleiter selbstjustierend herzustellen. Das Verfahren ermöglicht es insbesondere, Index-geführte Laserdioden mit geringer Wellenleiterbreite ($< 2 \mu\text{m}$) bei hoher Ausbeute zu prozessieren. Es können herkömmliche
- 20 Photolithographietechniken (zum Beispiel mittels Kontaktbelichtung) zum Einsatz kommen. Wellenleiterstrukturen geringer Breite sind vor allem im Bereich kurzer Wellenlängen erforderlich, da sie kinkfreien Betrieb bei niedrigen Schwellenströmen erwarten lassen.

- 25 Bei der Herstellung solcher Laserstrukturen wird auf die zu strukturierende Halbleiterschicht eine Opferschicht aus einem metallischen, dielektrischen oder organischen Material aufgebracht, das selektiv zum Halbleiterschichtmaterial und
- 30 zur Ätzmaske ätzbar oder lösbar ist. Die Opferschicht kann dabei zwischen anderen Schichten, z.B. Stromaufweitungsschicht(en) und/oder Haftvermittlungsschicht(en) eingeschlossen sein. Ein über der Opferschicht aufgebrachtes Material (z.B. SiO_2 , Si_3N_4 , Metall,
- 35 Photolack) wird beispielsweise mittels Photolithographie zu einer Ätzmaske für die Halbleiterschicht strukturiert. Nachfolgendes naß- oder trockenchemisches Ätzen der

Opferschicht verursacht eine Unterätzung zu beiden Seiten des strukturierten Steges. Nachdem der Stegwellenleiter durch naß- oder trockenchemisches Ätzen der Halbleiterschicht hergestellt worden ist, kann eine Passivierungsschicht
5 (dielektrisch oder organisch) als Wellenleiter-Mantelschicht und zur elektrischen Isolierung ganzflächig aufgebracht werden.

Durch Optimierung der Opferschichtdicke, Unterätzung der
10 Opferschicht sowie der Dicke, des Materials und/oder des Abscheideverfahrens der Passivierung erreicht man, daß die Opferschicht seitlich nicht vollständig von der Passivierung überformt wird. Ätzen oder Lösen oder mechanische Einwirkung (z.B. Ultraschall, Druckluft, mechanisches Wischen, etc.) der
15 Opferschicht durch diese seitlichen Öffnungen hebt die darüberliegende Ätzmaske ab und öffnet zugleich ein Fenster in der Passivierung auf dem Steg, durch das der Halbleiter elektrisch angeschlossen werden kann.

20 Das Verfahren ist vorteilhafterweise selbstjustierend. Damit wird ein Nebenschluß-Problem, das bei herkömmlichen Verfahren zur Herstellung von Ridgelasern über den gesamten Waferbereich weitestgehend eliminiert, weil Justagetoleranzen bei der Lithographie nahezu keine Rolle mehr spielen. Durch
25 Minimierung der Unterätzung der Opferschicht (beispielsweise ca. 200-300 nm beidseitig) kann das Kontakt-Fenster in der Passivierung fast so breit werden wie der Stegwellenleiter. In Verbindung mit der in der DE 101 47 791 A1 beschriebenen p-Kontakt-Metallisierung (die DE 101 47 791 A1 wird insofern
30 hiermit durch Rückbezug aufgenommen) unter der Passivierung wird die elektrische Anschlußfläche optimiert. Bei p-side-down-Montage kann die thermische Verlustleistung über die nun breitere Metallisierung vorteilhafterweise besser abgeführt und dadurch die Lebensdauer des Bauelements erhöht wird.
35 Durch das Einsparen einer Photolithographie verringern sich Bruchgefahr und Durchlaufzeit des Ridgelaser-Prozesses, die

Ausbeute (vor allem an Bauelementen mit geringen Wellenleiterbreiten) erhöht sich deutlich.

- Bei Halbleiterlasern (z.B. High Power Laser; Ridgela-
5 Trapezlaser) mit (trocken)geätzten und anschließend
passivierten bzw. verspiegelten Laserfacetten ist durch die
durch das Verfahren bereitgestellte selbstjustierende
Technologie eine optimale Justage von geätzten und
anschließend passivierten Strukturen gegeben. Das Verfahren
10 hat den Vorteil, dass eine Ätzmaske und eine Abhebemaske zwar
selbstjustierend angeordnet sein können, aber aus
verschiedenen Schichtsystemen bestehen. Weiterhin kann
vorteilhafterweise eine Standard-Abhebetechnik mit Photolack
eingesetzt werden. Mit der beim Trockenätzprozess erodierten,
15 lösungsmittelarmen Maske (i.A. Photolack) muß
vorteilhafterweise nicht der (zumeist vergebliche) Versuch
unternommen werden, eine darüber beschichtete Struktur
abzuheben.
- 20 Bei LED-Chips mit passivierten Chip-Seitenflächen sind vor-
teilhafterweise Leckströme vermindert oder vermieden, was zu
einer Verbesserung von Bauteile-Eigenschaften (z.B. der
Durchbruchfestigkeit) führt. LED-Chips mit Passivierung der
Chip-Seitenflächen (z.B. durch Aufbringen von dielektrischen
25 Passivierungsschichten, wie Siliziumdioxid, Siliziumnitrid,
Aluminiumoxid) können in ihrem elektrischen (Sperr-)Verhalten
verbessert werden.

- Weitere Vorteile und vorteilhafte Ausgestaltungen und Weiter-
30 bildungen des Verfahrens ergeben sich aus den im Folgenden in
Verbindung mit den Figuren 1a bis 3 beschriebenen Ausführ-
ungsbeispielen.

Es zeigen:

- 35 Figuren 1a bis 1g anhand von schematischen Darstellungen von
Schnitten durch eine Schichtenfolge für einen Ridge Wavegui-

de-Laserdiodenchip bei verschiedenen Verfahrensstadien eines ersten Ausführungsbeispielles;

Figuren 2a bis 2g anhand von schematischen Darstellungen von
5 Schnitten durch eine Schichtenfolge für einen Oxidstreifen-
Laserdiodenchip bei verschiedenen Verfahrensstadien eines
zweiten Ausführungsbeispielles;

Figur 3 eine schematische perspektivische Darstellung eines
10 Schnittes durch einen Ridge Waveguide Laser mit trockengeätz-
ten Spiegelfacetten;

Figur 4a bis 4c anhand von schematischen Darstellungen von
Schnitten durch eine Schichtenfolge für einen Leuchtdioden-
15 chip bei verschiedenen Verfahrensstadien eines zweiten Aus-
führungsbeispielles.

In den verschiedenen Ausführungsbeispielen sind gleiche oder
gleichwirkende Bestandteile jeweils mit den gleichen Bezeich-
20 nungen und Bezugszeichen versehen. Die Zeichnen der Figuren
1a bis 4c sind ausdrücklich nicht maßstabsgerecht. Die in
diesen Zeichnungen verwendeten Schichtdicken lassen nicht auf
das Verhältnis der realen Schichtdicken rückschließen. Wei-
terhin sind in den Ausführungsbeispielen nur die für die Er-
25 läuterung der Erfindung wesentlichen Schritte beschrieben.
Die beschriebenen Verfahrensabfolgen stellen selbstverständ-
lich in keinem Fall einen vollständigen Herstellungsprozeß
für den jeweiligen Chip dar.

Bei dem in den Figuren 1a bis 1g schematisch dargestellten
30 Ausführungsbeispiel wird auf eine auf einem SiC-Substrat
(SiC-Wafer) 7 aufgebrachten Epitaxieschichtenfolge 6 für ei-
nen Ridge Waveguide-Laserdiodenchip auf der Basis von $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ ganzflächig eine
35 Metallschichtenfolge, bestehend aus einer Pt-p-Kontakt-
Metallschicht 5 (Dicke ca. 40 nm), einer Opferschicht (oder
Lift-off-Schicht) 4 aus Au (Dicke ca. 300 nm) und einer Deck-

schicht 3 aus Pt (Dicke ca. 10 nm) abgeschieden (zum Beispiel mittels Bedampfen oder Sputtern). Eine darüber ganzflächig aufgebraachte ca. 500nm dicke erste Maskenschicht 2 aus SiO₂ 2 wird in einem ersten photolithographischen Schritt durch RIE als Hartmaske strukturiert, wobei die Stegwellenleiterbreite durch eine vorher strukturierte zweite Maskenschicht 1, hier eine ca. 1,8 µm dicke entwickelte und strukturierte Photolackschicht, definiert ist. Man vergleiche hierzu die Figuren 1a bis 1c.

10

Nach Ablösen der Photolackschicht 1 und Rücksputtern der Pt-Deckschicht 3 kann die Au-Opferschicht 4 naßchemisch geätzt werden. Eine seitliche Unterätzung der Opferschicht 4 begrenzt dabei die kleinste prozessierbare Stegbreite. Ein Tiefätzen (beispielsweise mittels RIE) der Epitaxieschichtenfolge 6 erfolgt nach dem Rücksputtern der Pt-p-Kontakt-Metallschicht 5. Man vergleiche hierzu die Figur 1d.

15

Nachfolgend wird ganzflächig eine Passivierungs- bzw. Isolier-Schicht 8 aus etwa 250 nm dickem SiO₂ mittels CVD oder Sputtern abgeschieden. Die Dicke der Opferschicht 4, der Dicke der Passivierungs- bzw. Isolier-Schicht 8 und des CVD/Sputter-Prozesses sind derart aufeinander eingestellt, dass Passivierungs- bzw. Isolier-Schicht 8 die Opferschicht 8 nicht vollständig überformt, sondern seitliche Flanken freigelassen und zugänglich sind. Man vergleiche hierzu die Figur 1e.

20

25

Die in Höhe der Opferschicht 4 liegenden seitlichen Öffnungen 40 in der Passivierungs- bzw. Isolier-Schicht 8 ermöglichen es, durch naßchemisches Ätzen der Opferschicht 4 diese zusammen mit der ersten Maskenschicht 2 und der zweiten Maskenschicht 1 abzuheben und die Pt-p-Kontakt-Metallschicht 5 durch ein sich dabei auf dem Steg ausbildendes Fenster 80 in der Passivierungs- bzw. Isolier-Schicht 8 freizulegen (Figur 1f).

30

35

Über dieses Fenster 80 wird nach ganzflächigem Abscheiden einer Ti/Au-Anschlußmetallschicht 9 der p-Kontakt des Ridge Waveguide-Laserdiodenchips elektrisch angeschlossen (Figur 1g). Die Strukturierung der Ti/Au-Metallschicht 9 erfolgt nachfolgend mittels Photolithographie und Ätzen.

Insgesamt sind damit für den Ridge Waveguide-Laserdioden-Prozeß nur 2 Lithographieschritte erforderlich.

Das in den Figuren 2a bis 2g dargestellte Verfahren zum Herstellen eines Oxidstreifen-Laserdiodenchips auf der Basis von $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ unterscheidet sich von dem oben in Verbindung mit den Figuren 1a bis 1g beschriebenen Verfahren im Wesentlichen nur dadurch, dass kein Tiefätzen der Epitaxieschichtenfolge 6 für einen Oxidstreifen-Laserdiodenchips erfolgt. Man vergleiche hierzu die Figur 2d.

Bei der in Figur 3 dargestellten, mit einem Verfahren im Wesentlichen nach dem oben beschriebenen ersten Ausführungsbeispiel hergestellten, Ridge Waveguide-Laserstruktur sind die Spiegelfacetten 60 trockengeätzt. Ein Herstellen der Spiegelfacetten 60 mittels Trockenätzen vereinfacht Herstellung und Handling, da ein Ritzen und Brechen und evtl. eine Dickenbearbeitung des Wafers entfallen können bzw. erst nach einer on-Wafer-Facettenbeschichtung erfolgen.

Die Wirkung der anisotropen Trockätzkomponente auf die Facetten 60 wird bei gleicher Belegungsdichte der Bauelemente durch dünne Ätzmasken erleichtert. Befindet sich die Trockenätzmaske 2 auf einer angeätzten Opferschicht 4, so können die z.B. mittels CAIBE trockengeätzten Facetten 60 im Waferverbund mit dielektrischen Schichtsystemen ($\lambda/4$ -Schicht(paar)en) verspiegelt oder entspiegelt werden. Nach dem Abheben der Opferschicht 4 sind die Bond-Pads bzw. die p-Metallschicht zum elektrischen Anschluß zugänglich.

Das Ausführungsbeispiel gemäß den Figuren 4a bis 4c zur Herstellung eines Leuchtdiodenchips $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ umfaßt eine Maskenschicht 2 zum Mesa-Ätzen, die sich auf einer Opferschicht 4 befindet. An der

5 Rückseite des SiC-Substrats 7 ist eine verspiegelte Kontaktmetallisierung 70 aufgebracht. Man vergleiche die Figur 4a.

Nach der Mesa-Strukturierung der strahlungsemittierenden Epitaxieschichtenfolge 6 auf der Basis von $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$ erfolgt das Aufbringen einer

10 dielektrischen Passivierungsschicht 8 auf die vier Seitenflächen durch ganzflächiges Aufbringen dielektrischer Schichten, z.B. aus SiO_2 (Figur 4b). Durch das Abheben der Opferschicht 4 zusammen mit der Ätzmaskenschicht 2 wird der p-Kontakt 5

15 zum elektrischen Anschluß und zur Lichtauskopplung (angedeutet durch die Pfeile 11 in Figur 4c) freigelegt.

Die Erläuterung der Erfindung anhand der Ausführungsbeispiele ist selbstverständlich nicht als Beschränkung der Erfindung

20 auf diese zu verstehen. So können beispielsweise zwischen der Schicht oder Schichtenfolge und der Opferschicht sowie zwischen der Opferschicht und der Maskenschicht eine oder mehrere weitere Schichten vorhanden sein, die zusätzliche Funktionen haben, ohne dass das jeweilige Verfahren, die durch die

25 vorliegende Erfindung bereitgestellte technische Lehre verläßt.

Patentansprüche

1. Verfahren zum Herstellen von mindestens einer Mesa- oder Stegstruktur in einer Schicht oder Schichtenfolge, bei dem Flanken der Mesa- oder Stegstruktur mit einer nach deren Freilegen aufgetragenen Beschichtung versehen werden, mit den Verfahrensschritten:
 - a) Aufbringen einer Opferschicht über der Schicht oder Schichtenfolge;
 - b) Aufbringen und Strukturieren einer Maskenschicht über der Opferschicht zur Definition der Mesa- oder Stegabmessungen;
 - c) teilweises Entfernen, insbesondere anisotropes Ätzen, der Opferschicht und der Schicht oder Schichtenfolge, derart, dass in der Schicht oder Schichtenfolge die Mesa- oder Stegstruktur ausgebildet wird;
 - d) selektives Entfernen eines Teiles der Opferschicht von deren in Schritt c) freigelegten Seitenflächen her, derart, dass eine im Vergleich zu einer gesehen von der Schicht oder Schichtenfolge über der Opferschicht verbliebenen Schicht schmalere Opferschicht übrigbleibt;
 - e) Aufbringen der Beschichtung zumindest auf die Flanken der in den Schritten a) bis d) erzeugten Struktur, derart, dass die Seitenflächen der verbliebenen Opferschicht nicht vollständig von dem Beschichtungsmaterial überformt werden; und
 - f) zumindest teilweises Entfernen der Opferschicht, derart, dass die gesehen von der Schicht oder Schichtenfolge über der Opferschicht verbliebene Schicht abgehoben wird.
2. Verfahren nach Anspruch 1, bei dem in Schritt f) die Opferschicht vollständig entfernt wird, so dass in der Beschichtung ein Fenster zur Schicht oder Schichtenfolge hin erzeugt wird.
3. Verfahren nach Anspruch 2, bei dem in dem Fenster auf die Schicht oder Schichtenfolge eine elektrisch Anschlußme-

tallisierung aufgebracht wird.

4. Verfahren zum Herstellen von mindestens einem Stegwellenleiter(Ridge-Waveguide)-Laserdiodenchip auf Basis von
5 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$, bei dem die geometrische Stegwellenleiterstruktur mittels eines Verfahrens gemäß einem der vorangehenden Ansprüche hergestellt wird.
- 10 5. Verfahren nach Anspruch 4, bei dem die Breite der Stegwellenleiterstruktur kleiner oder gleich $2 \mu\text{m}$ ist.
6. Verfahren nach Anspruch 4 oder 5, bei dem in Schritt c) mittels Trockenätzen die Laserfacetten erzeugt werden und
15 die Beschichtung ein verspiegelndes oder entspiegelndes Schichtsystem enthält.
7. Verfahren zum Herstellen von mindestens einem Leuchtdiodenchip mit Beschichtung der Seitenflächen der strahlungserzeugenden Schichtfolge, bei dem die geometrische
20 Struktur der strahlungserzeugenden Schichtfolge und die Beschichtung mittels eines Verfahrens gemäß einem der Ansprüche 1 bis 3 erzeugt wird.
- 25 8. Verfahren nach Anspruch 7, bei dem eine Kantenlänge des Leuchtdiodenchips kleiner oder gleich $2 \mu\text{m}$ ist.
9. Verfahren zum Herstellen von mindestens einer gewinngeführten Laserdiode in einer Schichtenfolge, insbesondere
30 auf der Basis von $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x+y \leq 1$, mit den Verfahrensschritten:
 - a) Aufbringen einer Opferschicht über Schichtenfolge;
 - b) Aufbringen und Strukturieren einer Maskenschicht über der Opferschicht;
 - 35 c) teilweises Entfernen, insbesondere anisotropes Ätzen, der Opferschicht in den nicht von der Maskenschicht bedeckten Bereichen;

d) selektives Entfernen eines Teiles der Opferschicht von deren in Schritt c) freigelegten Seitenflächen her, derart, dass eine im Vergleich zu einer gesehen von der Schichtenfolge über der Opferschicht verbliebenen Schicht
5 schmälere Opferschicht übrigbleibt, die den elektrisch gepumpten Bereich der Laserdiode definiert;

e) Aufbringen einer Beschichtung zumindest auf die Flanken der in den Schritten a) bis d) erzeugten Struktur, derart, dass die Seitenflächen der verbliebenen Opfer-
10 schicht nicht vollständig von dem Beschichtungsmaterial überformt werden; und

f) zumindest teilweises Entfernen der Opferschicht, derart, dass die gesehen von der Schicht oder Schichtenfolge über der Opferschicht verbliebene Schicht abgehoben wird.

15

10. Verfahren nach Anspruch 9, bei dem die Breite des gepumpten Bereiches kleiner oder gleich $2\text{ }\mu\text{m}$ ist.

11. Verfahren nach Anspruch 9 oder 10, bei dem in Schritt f) die Opferschicht vollständig entfernt wird, so dass in
20 der Beschichtung ein Fenster zur Schichtenfolge hin erzeugt wird.

12. Verfahren nach Anspruch 11, bei dem in dem Fenster auf die Schichtenfolge eine elektrisch Anschlußmetallisierung
25 aufgebracht wird.

13. Verfahren nach einem der vorangehenden Ansprüche, bei dem die Opferschicht aus einem Metall, einem Dielektrikum, einem Polymer, einem epitaktisch gewachsenen Material oder einer Kombination aus diesen Materialien besteht.
30

14. Verfahren nach einem der vorangehenden Ansprüche, bei dem in Schritt b) eine erste Maskenschicht über der Opferschicht und eine zweite Maskenschicht über der ersten Maskenschicht aufgebracht und strukturiert werden.
35

15. Verfahren nach einem der vorangehenden Ansprüche, bei dem vor dem Aufbringen der Maskenschicht über der Opferschicht eine Deckschicht aufgebracht wird.
- 5 16. Verfahren nach Anspruch 4, 8 oder 10, bei dem die Breite der Stegwellenleiterstruktur, die Kantenlänge bzw. die Breite des gepumpten Bereiches kleiner oder gleich $1,5 \mu\text{m}$ ist.

Zusammenfassung

Verfahren zum Herstellen von mindestens einer Mesa- oder
Stegstruktur oder von mindestens einem elektrisch gepumpten
5 Bereich in einer Schicht oder Schichtenfolge

Die Erfindung betrifft ein Verfahren zum Herstellen von mindestens einer Mesa- oder Stegstruktur in einer Schicht oder Schichtenfolge, bei dem Flanken der Mesa- oder Stegstruktur
10 mit einer nach deren Freilegen aufgetragenen Beschichtung (8) versehen werden, mit den Verfahrensschritten:
a) Aufbringen einer Opferschicht (4) über der Schicht oder Schichtenfolge;
b) Aufbringen und Strukturieren einer Maskenschicht über der
15 Opferschicht zur Definition der Mesa- oder Stegabmessungen;
c) teilweises Entfernen, insbesondere anisotropes Ätzen, der Opferschicht (4) und der Schicht oder Schichtenfolge, derart, dass in der Schicht oder Schichtenfolge die Mesa- oder Stegstruktur ausgebildet wird;
20 d) selektives Entfernen eines Teiles der Opferschicht (4) von deren in Schritt c) freigelegten Seitenflächen her, derart, dass eine im Vergleich zu einer gesehen von der Schicht oder Schichtenfolge über der Opferschicht verbliebenen Schicht
e) Aufbringen der Beschichtung zumindest auf die Flanken der
25 in den Schritten a) bis d) erzeugten Struktur, derart, dass die Seitenflächen der verbliebenen Opferschicht nicht vollständig von dem Beschichtungsmaterial überformt werden; und
f) zumindest teilweises Entfernen der Opferschicht (4), der-
30 art, dass die gesehen von der Schicht oder Schichtenfolge über der Opferschicht verbliebene Schicht abgehoben wird.
Sie betrifft weiterhin ein Verfahren zum Herstellen von mindestens einer gewinngeführten Laserdiode in einer Schichtenfolge, bei dem zu den obigen Schritten a bis f analoge Verfahrensschritte eingesetzt werden.
35

Figur 2e

FIG. 1a

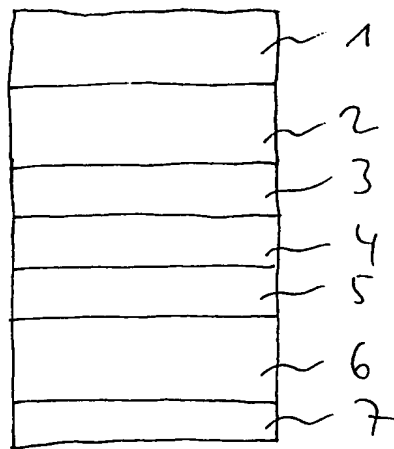


FIG. 1b

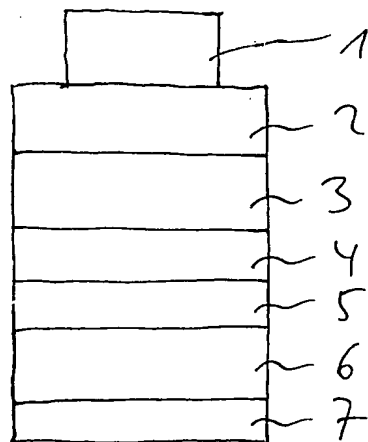


FIG. 1c

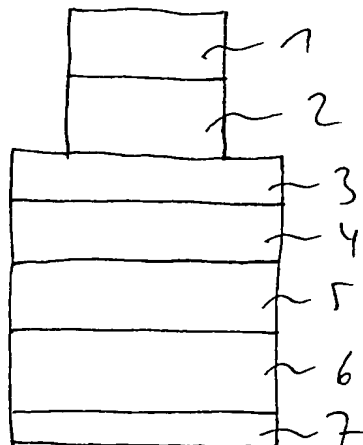


FIG. 1d

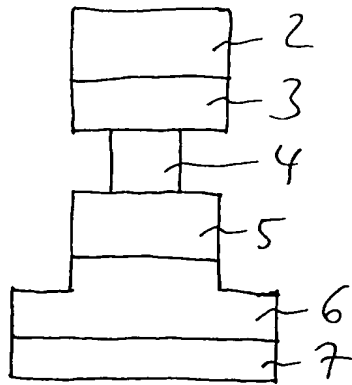


FIG. 1e

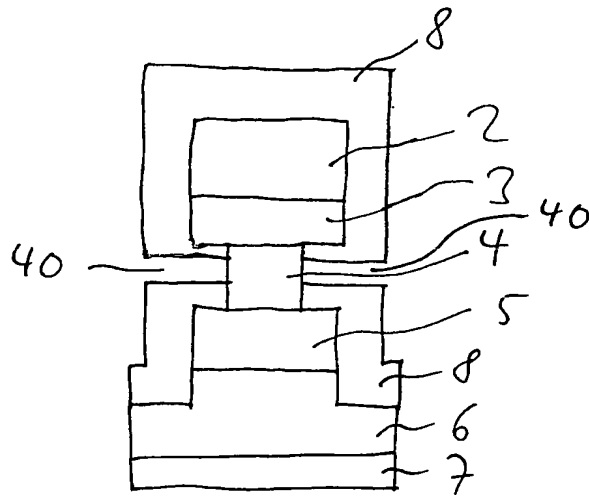


FIG. 1f

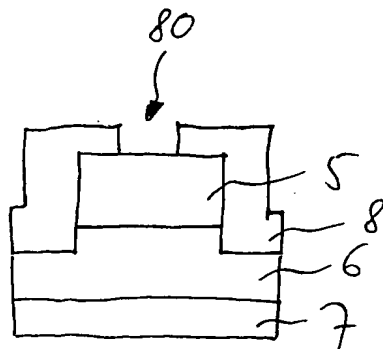


FIG. 1g

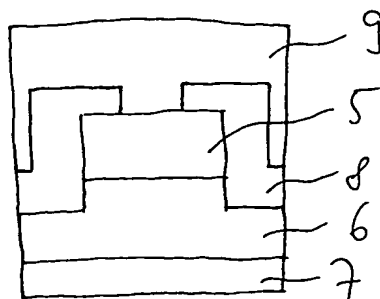


Fig. 2a

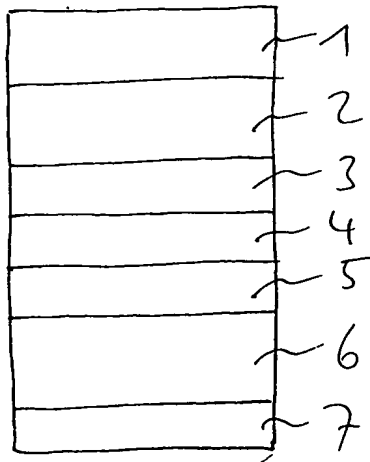


Fig. 2b

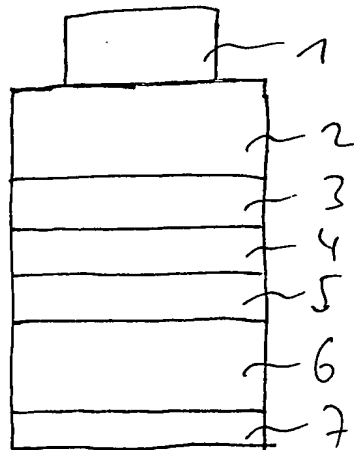


Fig. 2c

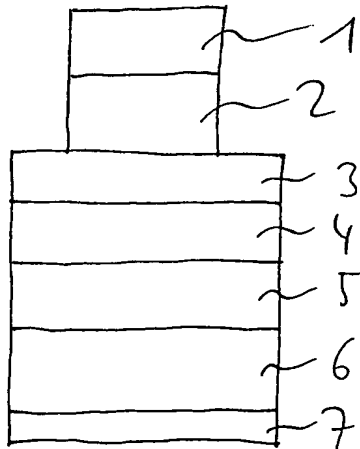


FIG. 2d

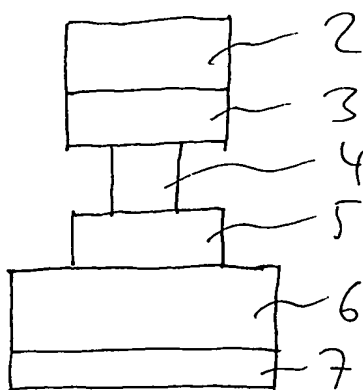


FIG. 2e

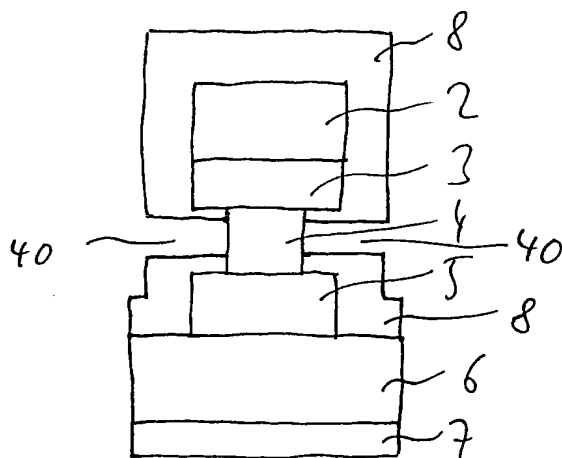


FIG. 2f

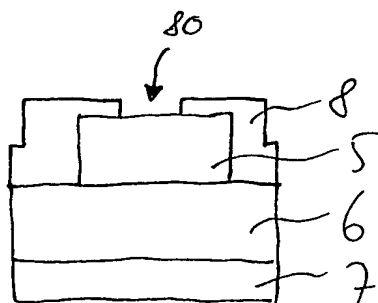
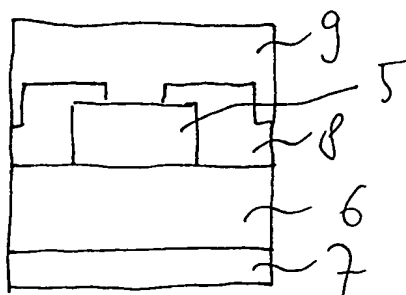


FIG. 2g



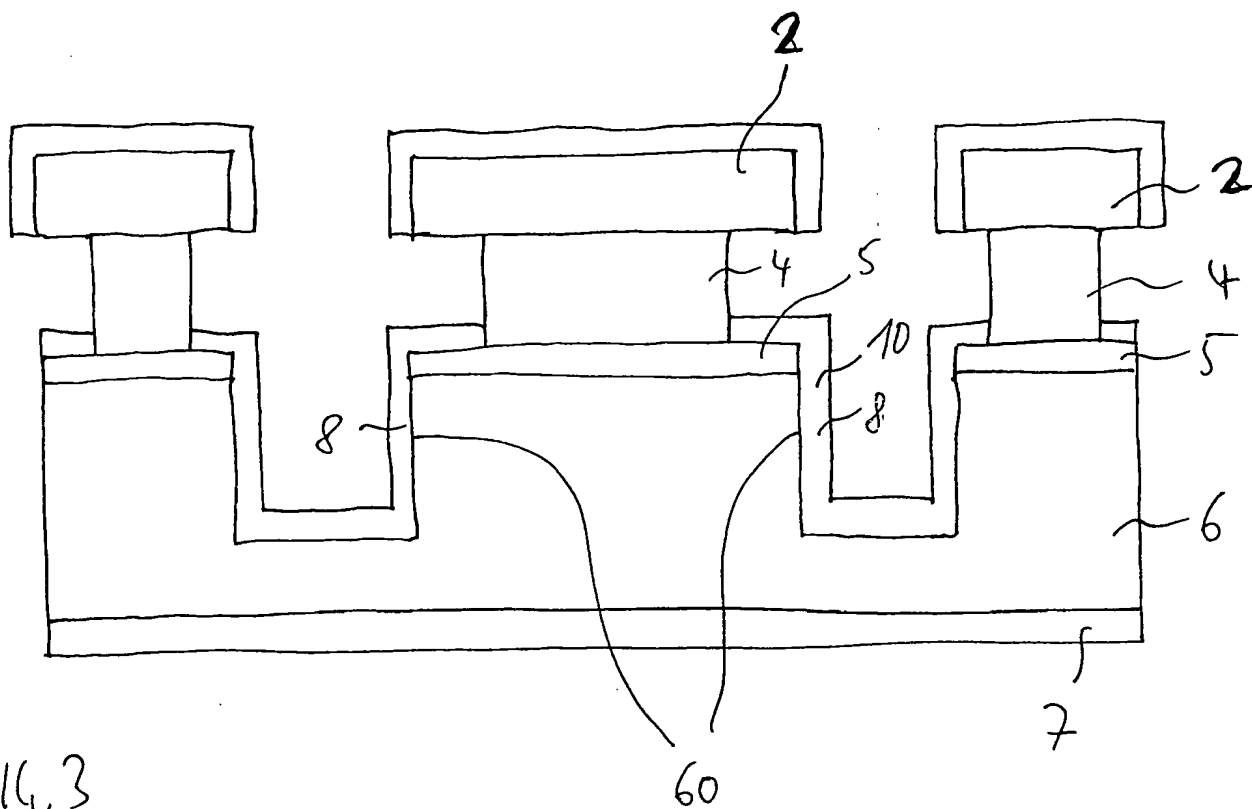
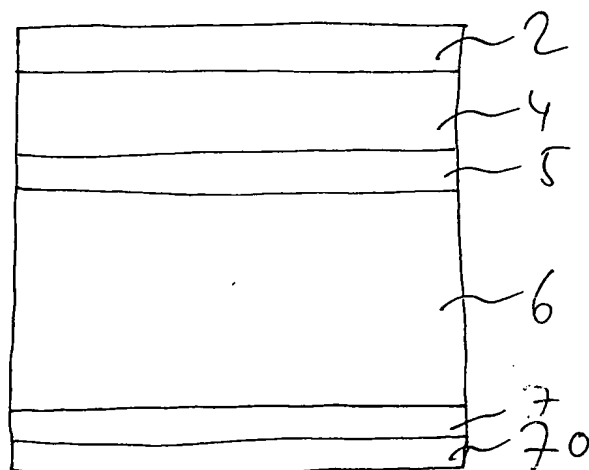
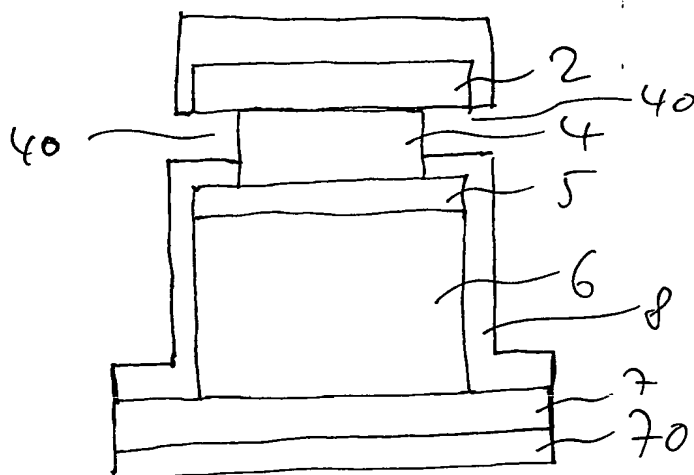
FIG. 3

FIG. 4aFIG. 4bFIG. 4c